

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-237150
(43)Date of publication of application : 23.08.1994

(51)Int.Cl. H03K 3/037
H03K 3/289
H03K 3/356

(21)Application number : 05-024027 (71)Applicant : MITSUBISHI ELECTRIC CORP
(22)Date of filing : 12.02.1993 (72)Inventor : SASAKI NAGISA

(71)Applicant : MITSUBISHI ELECTRIC CORP

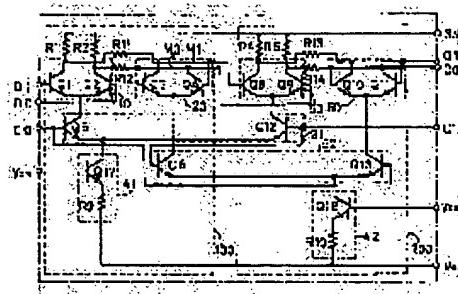
(72)Inventor : SASAKI NAGISA
SATO HISAYASU
UEDA KIMIHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To provide the semiconductor integrated circuit able to realize low power consumption while keeping a high speed operation.

CONSTITUTION: First and second write differential amplifier circuits 10, 50 and 1st and 2nd data holding differential amplifier circuits 20, 60 are respectively connected to 1st and 2nd constant current circuits 41, 42 and a current is supplied from the 1st and 2nd constant current circuits 41, 42, so as to decrease a current flowing to the 1st and 2nd holding differential amplifier circuits 20, 60 smaller than a current flowing to the write differential amplifier circuits 10, 50.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-237150

(43)公開日 平成6年(1994)8月23日

(51)Int.Cl.⁵

H 03 K
3/037
3/289
3/356

識別記号

府内整理番号
B 8124-5J
A 8124-5J
C 8124-5J

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 12 頁)

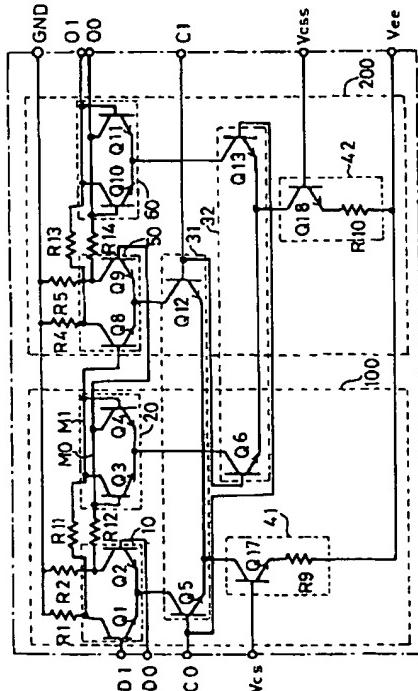
(21)出願番号	特願平5-24027	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成5年(1993)2月12日	(72)発明者	佐々木 なぎさ 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内
		(72)発明者	佐藤 久恭 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内
		(72)発明者	上田 公大 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内
		(74)代理人	弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 高速動作を保ちながら、低消費電力化を実現することができる半導体集積回路を提供する。

【構成】 第1および第2の書込差動回路10、50と、第1および第2のデータ保持差動回路20、60とを第1および第2の定電流回路41、42とにそれぞれ接続し、第1および第2のデータ保持差動回路20、60を流れる電流の電流値を第1および第2の書込差動回路10、50を流れる電流の電流値よりも小さくなるように第1および第2の定電流回路41、42から電流を供給する。



1

【特許請求の範囲】

【請求項1】 入力されたデータを保持する半導体集積回路であって、前記入力データを書き込む書き手段と、前記書き手段により書き込まれたデータを保持する保持手段と、前記書き手段に第1電流値の電流を供給する第1電流供給手段と、前記保持手段に前記第1電流値より小さい第2電流値の電流を供給する第2電流供給手段とを含む半導体集積回路。

【請求項2】 前記書き手段と前記保持手段の出力信号の振幅を均一化する均一化手段をさらに含む請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に、入力されたデータを保持する半導体集積回路に関するものである。

【0002】

【従来の技術】 従来、入力データのセットまたはリセット状態を保持する半導体集積回路としてフリップ・フロップ回路が知られている。以下、フリップ・フロップ回路の一例である従来のマスター・スレーブ型フリップ・フロップ回路について図面を参照しながら説明する。

【0003】 図6は従来のマスター・スレーブ型フリップ・フロップ回路の回路図である。マスター・スレーブ型フリップ・フロップ回路は、マスターフリップ・フロップ回路となるマスター部100、マスター部100の動作に応じて動作するスレーブフリップ・フロップ回路となるスレーブ部200とを含む。

【0004】 マスター部100は、第1の書き差動回路10、第1のデータ保持差動回路20、第1のクロック差動回路30、第1の定電流回路40を含む。また、スレーブ部200は、第2の書き差動回路50、第2のデータ保持差動回路60、第2のクロック差動回路70、第2の定電流回路80を含む。第1の書き差動回路10および第1のデータ保持差動回路20は第1のクロック回路30へ入力するクロック信号に応じて入力データの書き込みおよび保持を行なう。第1の定電流回路40は、上記動作を行なうための電流を第1の書き差動回路10、第1のデータ保持差動回路20、第1のクロック差動回路30へ供給する。スレーブ部200の各回路もマスター部100の各回路と同様である。

【0005】 第1の書き差動回路10は、トランジスタQ1、Q2を含む。トランジスタQ1、Q2のゲートはデータ入力端子D1、D0にそれぞれ接続される。トランジスタQ1、Q2のエミッタは共通接続され、第1のクロック差動回路30へ接続される。トランジスタQ1、Q2のコレクタは負荷抵抗R1、R2を介してグラ

2

ンド電源端子（高電位側電源端子）GNDへ接続される。また、各コレクタは中間端子M0、M1および第1のデータ保持差動回路20へそれぞれ接続される。上記の構成により、第1の書き差動回路10はデータ入力端子D0、D1から入力したデータを中間端子M0、M1および第1のデータ保持差動回路20へ出力することができる。

【0006】 第1のデータ保持差動回路20はトランジスタQ3、Q4を含む。トランジスタQ3、Q4のエミッタが共通接続され、第1のブロック差動回路30へ接続される。トランジスタQ3、Q4のコレクタは負荷抵抗R1、R2を介してグランド電源端子GNDへ接続され、また、中間端子M1、M0とそれぞれ接続される。また、トランジスタQ3のゲートとトランジスタQ4のコレクタとが、トランジスタQ3のコレクタとトランジスタQ4のゲートとがそれぞれ接続され、入力と出力が交差接続されるたすき掛けの構造となっている。上記の構成により、第1のデータ保持差動回路20は入力データの状態を保持する保持機能を有する。

【0007】 第1のクロック差動回路30はトランジスタQ31、Q32を含む。トランジスタQ31、Q32のゲートはクロック入力端子C0、C1にそれぞれ接続される。トランジスタQ31のコレクタは第1の書き差動回路10のトランジスタQ1、Q2のエミッタの共通接続部と接続される。トランジスタQ32のコレクタは第1のデータ保持差動回路20のトランジスタQ3、Q4のエミッタの共通接続部と接続される。トランジスタQ31、Q32のエミッタは共通接続され、第1の定電流回路40へ接続される。上記構成により、第1のクロック差動回路30へ入力するクロック信号に応じて第1の書き差動回路10および第1のデータ保持差動回路20が動作する。

【0008】 第1の定電流回路40はエミッタ抵抗R11、トランジスタQ35を含む。トランジスタQ35のコレクタは第1のクロック差動回路30のトランジスタQ31、Q32のエミッタの共通接続部へ接続される。トランジスタQ35のエミッタはエミッタ抵抗R11を介して負電源端子（低電位側電源端子）Veeに接続され、ベースは定電流回路用基準電圧端子Vcsに接続されている。上記構成により第1の定電流回路40は、第1のクロック差動回路30を介して、第1の書き差動回路10および第1のデータ保持差動回路20へ電流を供給している。

【0009】 第2のデータ書き差動回路50は、トランジスタQ8、Q9を含む。トランジスタQ8、Q9のゲートは中間端子M1、M0にそれぞれ接続される。トランジスタQ8、Q9のエミッタは共通接続され、第2のクロック差動回路70へ接続される。トランジスタQ8、Q9のコレクタは負荷抵抗R4、R5を介してグラ

ンド電源端子GNDへ接続される。また、各コレクタは

データ出力端子O0、O1および第2のデータ保持差動回路60へそれぞれ接続される。上記の構成により、第2の書込差動回路50は中間端子M0、M1から入力したデータをデータ出力端子O0、O1および第2のデータ保持差動回路60へ出力することができる。

【0010】第2のデータ保持差動回路60はトランジスタQ10、Q11を含む。トランジスタQ10、Q11のエミッタは共通接続され、第2のクロック差動回路70へ接続される。トランジスタQ10、Q11のコレクタは負荷抵抗R4、R5を介してグランド電源端子GNDへ接続され、また、データ出力端子O1、O0へそれぞれ接続される。また、トランジスタQ10のゲートとトランジスタQ11のコレクタとが、トランジスタQ10のコレクタとトランジスタQ11のゲートとがそれぞれ接続され、入力と出力が交差接続されるたすき掛けの構造となっている。上記の構成により、第2のデータ保持差動回路60は入力データの状態を保持する保持機能を有する。

【0011】第2のクロック差動回路70はトランジスタQ33、Q34を含む。トランジスタQ33、Q34のゲートはクロック入力端子C1、C0にそれぞれ接続される。トランジスタQ33のコレクタは第2の書込差動回路50のトランジスタQ8、Q9のエミッタの共通接続部と接続される。トランジスタQ34のコレクタは第2のデータ保持差動回路60のトランジスタQ10、Q11のエミッタの共通接続部と接続される。トランジスタQ33、Q34のエミッタは共通接続され、第2の定電流回路80へ接続される。上記構成により、第2のクロック差動回路70へ入力するクロック信号に応じて第2の書込差動回路50および第2のデータ保持差動回路60が動作する。

【0012】第2の定電流回路80はエミッタ抵抗R12、トランジスタQ36を含む。トランジスタQ36のコレクタは第2のクロック差動回路70のトランジスタQ33、Q34のエミッタの共通接続部へ接続される。トランジスタQ36のエミッタはエミッタ抵抗R12を介して負電源端子Veeに接続され、ベースは定電流回路用基準電圧端子Vcsに接続されている。上記構成により第2の定電流回路80は、第2のクロック差動回路70を介して、第2の書込差動回路50および第2のデータ保持差動回路60へ電流を供給している。

【0013】次に、上記のように構成されたマスター・スレーブ型フリップ・フロップ回路の動作について説明する。クロック入力端子C0にクロック信号として立上り信号が入力され、クロック入力端子C1に立下り信号が入力された場合、以下になる。トランジスタQ31、Q34はオフからオンへ、トランジスタQ32、Q33はオンからオフへ変化する。したがって、マスター部100では、第1の書込差動回路10が動作し、データ入力端子D0、D1から入力された入力信号を読込

み、中間端子M0、M1のデータを更新する。一方、スレーブ部200では、第1の書込差動回路50が動作しないので、中間端子M0、M1のデータは読出されない。しかし、第2のデータ保持差動回路60は動作するので、直前に第2の書込差動回路50が読込んだデータを保持する。

【0014】次に、クロック入力端子C0にクロック信号として立下り信号が入力され、クロック入力端子C1に立上り信号が入力された場合、以下のようになる。トランジスタQ31、Q34はオンからオフへ、トランジスタQ32、Q33はオフからオンへ変化する。したがって、マスター部100では、第1の書込差動回路10が動作しないので、データ入力端子D0、D1のデータは読出されない。しかし、第1のデータ保持差動回路20は動作するので、前に第1の書込差動回路10が読込んだデータを保持する。一方、スレーブ部200では、第2の書込差動回路50が動作し、中間端子M0、M1のデータを読出し、データ出力端子O0、O1のデータを更新する。

【0015】上記の動作により、本回路はクロック入力端子C1へクロック信号として立上り信号が入力されたときにデータを更新する。

【0016】

【発明が解決しようとする課題】上記のように構成されたマスター・スレーブ型フリップ・フロップ回路を高速動作させるためには、マスター部100およびスレーブ部200の第1および第2の書込差動回路10、50を高速に動作させる必要がある。このため、第1および第2の書込差動回路10、50へ第1および第2の定電流回路40、80から高速動作に必要な電流値を流していた。

【0017】一方、第1および第2の定電流回路40、80は第1および第2の書込差動回路10、50だけでなく、第1および第2のデータ保持差動回路20、60へも同じ電流値を流していた。しかし、第1および第2のデータ保持差動回路20、60は単にデータを保持するだけなので、必要な電流値は書込差動回路に必要な電流値に比べて非常に小さな電流値で十分であった。この結果、データ保持差動回路では不必要な電流が消費され、回路全体として低消費電力化することはできないという問題点があった。

【0018】本発明は、上記課題を解決するためのものであって、高速動作を保ちながら、低消費電力化を実現することができる半導体集積回路を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明の半導体集積回路は、入力データを書込む書込手段と、書込手段により書込まれたデータを保持する保持手段と、書込手段に第1電流値の電流を供給する第1電流供給手段と、保持手段

に第1電流値より小さい第2電流値の電流を供給する第2電流供給手段とを含む。

【0020】

【作用】本発明の半導体集積回路においては、書き手段用の第1電流供給手段と、保持手段用の第2電流供給手段とを各々別々に有しております、書き手段および保持手段が必要とする電流を別々に供給する。

【0021】

【実施例】以下、本発明による第1の実施例の半導体集積回路について図面を参照しながら説明する。図1は本発明の第1の実施例であるマスター・スレーブ型フリップ・フロップ回路の回路図である。

【0022】本回路はSiまたはSi化合物半導体もしくはGaAsまたはGaAlAs等のIII-V族、II-VI族化合物半導体からなり、NPN型またはPNP型のバイポーラトランジスタ等から構成されるエミッタ結合型論理回路(Emitter Coupled Logic)を用いたものである。

【0023】本回路は、マスター・フリップ・フロップ回路となるマスター部100、マスター部100の動作に応じて動作するスレーブ・フリップ・フロップ回路となるスレーブ部200を含む。

【0024】マスター部100は、第1の書き差動回路10、第1のデータ保持差動回路20、第1のクロック差動回路31の一部、第2のクロック差動回路32の一部、第1の定電流回路41を含む。また、スレーブ部200は、第2の書き差動回路50、第2のデータ保持差動回路60、第2のクロック差動回路31の一部、第2のクロック差動回路32の一部、第2の定電流回路42を含む。

【0025】第1の書き差動回路10は、トランジスタQ1、Q2を含む。トランジスタQ1、Q2のゲートはデータ入力端子D1、D0とそれぞれ接続される。トランジスタQ1、Q2のエミッタは共通接続され、第1のクロック差動回路31と接続される。トランジスタQ1、Q2のコレクタは抵抗素子R1、R2を介してグランド電源端子(高電位側電源端子)GNDと接続される。また、各コレクタは抵抗素子R11、R12を介して第1のデータ保持差動回路20と接続される。上記の構成により、第1の書き差動回路10は、第1のクロック差動回路31に応じて、データ入力端子D0、D1から入力されたデータを読み込み、抵抗素子R11、R12を介して第1のデータ保持差動回路20へ出力する。

【0026】第1のデータ保持差動回路20はトランジスタQ3、Q4を含む。トランジスタQ3のゲートはトランジスタQ4のコレクタと、トランジスタQ4のゲートはトランジスタQ3のコレクタとそれぞれ接続され、入力と出力は交差接続されるたすき掛けの構造となっている。トランジスタQ3、Q4のエミッタは共通接続され、第2のクロック差動回路32と接続される。トラン

ジスタQ3、Q4のコレクタは抵抗素子R1、R2および抵抗素子R11、R12を介してグランド電源端子GNDと接続され、また、中間端子M1、M0とそれぞれ接続される。上記構成により、第1のデータ保持差動回路20は、抵抗素子R11、R12を介して、第1の書き差動回路10から入力されたデータを第2のクロック差動回路32の動作に応じて保持し、中間端子M0、M1へ出力する。

【0027】第2の書き差動回路50は、トランジスタQ8、Q9を含む。トランジスタQ8、Q9のゲートは中間端子M1、M0とそれぞれ接続される。トランジスタQ8、Q9のエミッタは共通接続され、第1のクロック差動回路31と接続される。トランジスタQ8、Q9のコレクタは抵抗素子R4、R5を介してグランド電源端子GNDと接続される。また、各コレクタは抵抗素子R13、R14を介して第2のデータ保持差動回路60と接続される。上記構成により、第2の書き差動回路50は、第1のクロック差動回路31に応じて、中間端子M0、M1から入力されたデータを読み込み、抵抗素子R13、R14を介して第2のデータ保持差動回路60へ出力する。

【0028】第2のデータ保持差動回路60はトランジスタQ10、Q11を含む。トランジスタQ10のゲートはトランジスタQ11のコレクタと、トランジスタQ11のゲートはトランジスタQ10のコレクタとそれぞれ接続され、入力と出力が交差接続されるたすき掛け構造となっている。トランジスタQ10、Q11のエミッタは共通接続され、第2のクロック差動回路と接続される。トランジスタQ10、Q11のコレクタは抵抗素子R4、R5および抵抗素子R13、R14を介してグランド電源端子GNDと接続され、また、データ出力端子O1、O0とそれぞれ接続される。上記構成により、第2のデータ保持差動回路60は抵抗素子R13、R14を介して第2の書き差動回路50から入力されたデータを、第2のクロック差動回路32の動作に応じて保持し、データ出力端子O0、O1へ出力する。

【0029】第1のクロック差動回路31は、トランジスタQ5、Q12を含む。トランジスタQ5のゲートはクロック入力端子C0と、コレクタは第1の書き差動回路10のエミッタの共通接続部と接続される。トランジスタQ12のゲートはクロック入力端子C1と、コレクタは第2の書き差動回路50のエミッタの共通接続部と接続される。トランジスタQ5、Q12のエミッタは共通接続され、第1の定電流回路41と接続される。上記構成により、第1のクロック差動回路31のトランジスタQ5が第1の書き差動回路10の動作を、トランジスタQ12が第2の書き差動回路50の動作をそれぞれ制御する。

【0030】第2のクロック差動回路32は、トランジスタQ6、Q13を含む。トランジスタQ6のゲートは

クロック入力端子C1と、コレクタは第1のデータ保持差動回路20のエミッタの共通接続部と接続される。トランジスタQ13のゲートはのクロック入力端子C0と、コレクタは第2の書き込み差動回路60のエミッタの共通接続部と接続される。トランジスタQ6、Q13のエミッタは共通接続され、第2の定電流回路42と接続される。上記構成により、第2のクロック差動回路32のトランジスタQ6が第1のデータ保持差動回路20の動作を、トランジスタQ13が第2のデータ保持差動回路60の動作をそれぞれ制御する。

【0031】第1の定電流回路41は、トランジスタQ17、抵抗素子R9を含む。トランジスタQ17のコレクタは第1のクロック差動回路31のエミッタの共通接続部と接続される。トランジスタQ17のエミッタは抵抗素子R9を介して負電源端子(低電源側電源端子)Veと接続される。トランジスタQ17のベースは第1の定電流回路用基準電圧端子Vcsと接続される。上記構成により、第1の定電流回路41は、第1の定電流回路用基準電圧端子Vcsの電圧を所定の電圧に設定することにより、書き込み電流値Iwを第1のクロック差動回路31を介して第1の書き込み差動回路10および第2の書き込み差動回路50へ供給する。

【0032】第2の定電流回路42は、トランジスタQ18、抵抗素子R10を含む。トランジスタQ18のコレクタは第2のクロック差動回路32のエミッタの共通接続部と接続される。トランジスタQ18のエミッタは抵抗素子R10を介して負電源端子Veと接続される。トランジスタQ18のベースは第2の定電流回路用基準電圧端子Vcssと接続される。上記構成により、第2の定電流回路42は、第2の定電流回路用基準電圧端子Vcssの電圧を所定の電圧に設定することにより、保持用電流値Ihを第2のクロック差動回路32を介して第1のデータ保持差動回路20および第2のデータ保持差動回路60へ供給する。

【0033】なお、負荷駆動能力を高めるために、一般的に、中間端子M0、M1およびデータ出力端子O0、O1にエミッタホロワまたはソースホロワ等を接続するが、ここでは発明の論旨と直接関係ないので図示および説明を省略している。以降の実施例においても同様である。

【0034】以下、上記のように構成されたマスター・スレーブ型フリップ・フロップ回路の動作について説明する。データ入力端子D0、D1およびクロック入力端子C0、C1には相補信号を入力する。

【0035】まず、クロック入力端子C0に第1のクロック信号として立上り信号が入力されたとき、クロック入力端子C1には第2のクロック信号として立下り信号が入力される。このときトランジスタQ5、Q13はオフからオンへ、トランジスタQ12、Q6はオンからオフへ変化する。この結果、マスター部100では、トランジスタQ5がオンするため、第1の書き込み差動回路10が動作し、データ入力端子D1、D0から入力されたデータを書き込み、中間端子M1、M0のデータを更新する。このとき、トランジスタQ6はオフされているため、第1のデータ保持差動回路20は動作しない。一方、スレーブ部200では、トランジスタQ12がオフされているため、第2の書き込み差動回路50は動作せず、中間端子M0、M1のデータはスレーブ部200へ読み込まれない。しかし、トランジスタQ13がオンされているため、第2のデータ保持差動回路60が動作し、直前に第2の書き込み差動回路50が書き込んだデータを保持してデータ出力端子O0、O1へ出力する。

【0036】次に、クロック入力端子C0に立下り信号が入力されたとき、クロック入力端子C1には立上り信号が入力する。このとき、トランジスタQ5、Q13はオンからオフへ、トランジスタQ12、Q6はオフからオンへ変化する。したがって、マスター部100では、トランジスタQ5はオフされているため、第1の書き込み差動回路10は動作せず、データ入力端子D0、D1から入力されているデータは書き込まれない。しかし、トランジスタQ6はオンされているため、第1のデータ保持差動回路20が動作し、前記のクロック端子C0に立上り信号が入力されたとき、第1の書き込み差動回路10が書き込んだデータを保持し、中間端子M0、M1へ出力する。

一方、スレーブ部200では、トランジスタQ12がオンされているため、第2の書き込み差動回路50が動作し、中間端子M0、M1のデータを書き込み、データ出力端子O0、O1のデータを更新する。このとき、トランジスタQ13はオフされているため、第2のデータ保持差動回路60は動作していない。

【0037】以上に述べたように、本回路は、クロック入力端子C0に立上り信号が入力したとき、データ入力端子D0、D1から入力されたデータを読み込み、クロック入力端子C1に立上り信号が入力したとき、読み込んだデータをデータ出力端子O0、O1へ出力し、出力データを更新する。

【0038】次に、各回路に流れる電流について説明する。第1の定電流回路41が供給する電流値Iwは第1の定電流回路用基準電圧端子Vcsの電圧を変化させることにより、任意の電流値に設定することができる。この電流値Iwは第1および第2の書き込み差動回路10、50を構成する各素子の特性や第1および第2の書き込み差動回路10、50に要求される動作速度等を考慮し、第1および第2の書き込み差動回路10、50が所定の動作速度を満たし、十分に高速動作が可能な所定の電流値に設定している。上記の電流は第1のクロック差動回路31を介して第1および第2の書き込み差動回路10、50へ供給され、第1および第2の書き込み差動回路10、50は高速に書き込み動作をすることが可能となる。

【0039】第2の定電流回路42が供給する電流値Ihは第2の定電流回路用基準電圧端子Vcssの電圧を変化させることにより、任意の電流値に設定することができる。この電流値Ihは第2のクロック差動回路32を介して第2の書き込み差動回路50へ供給され、第2の書き込み差動回路50は高速に書き込み動作をすることが可能となる。

【0040】次に、クロック入力端子C0に立上り信号が入力されたとき、クロック入力端子C1には立上り信号が入力する。このとき、トランジスタQ5、Q13はオンからオフへ、トランジスタQ12、Q6はオフからオンへ変化する。したがって、マスター部100では、トランジスタQ5はオフされているため、第1の書き込み差動回路10が動作せず、データ入力端子D0、D1から入力されているデータは書き込まれない。しかし、トランジスタQ6はオンされているため、第1のデータ保持差動回路20が動作し、前記のクロック端子C0に立上り信号が入力されたとき、第1の書き込み差動回路10が書き込んだデータを保持し、中間端子M0、M1へ出力する。

一方、スレーブ部200では、トランジスタQ12がオンされているため、第2の書き込み差動回路50が動作し、中間端子M0、M1のデータを書き込み、データ出力端子O0、O1のデータを更新する。このとき、トランジスタQ13はオフされているため、第2のデータ保持差動回路60は動作していない。

【0041】以上に述べたように、本回路は、クロック入力端子C0に立上り信号が入力したとき、データ入力端子D0、D1から入力されたデータを読み込み、クロック入力端子C1に立上り信号が入力したとき、読み込んだデータをデータ出力端子O0、O1へ出力し、出力データを更新する。

【0042】次に、各回路に流れる電流について説明する。第1の定電流回路41が供給する電流値Iwは第1の定電流回路用基準電圧端子Vcsの電圧を変化させることにより、任意の電流値に設定することができる。この電流値Iwは第1および第2の書き込み差動回路10、50を構成する各素子の特性や第1および第2の書き込み差動回路10、50に要求される動作速度等を考慮し、第1および第2の書き込み差動回路10、50が所定の動作速度を満たし、十分に高速動作が可能な所定の電流値に設定している。上記の電流は第1のクロック差動回路31を介して第1および第2の書き込み差動回路10、50へ供給され、第1および第2の書き込み差動回路10、50は高速に書き込み動作をすることが可能となる。

【0043】第2の定電流回路42が供給する電流値Ihは第2の定電流回路用基準電圧端子Vcssの電圧を変化させることにより、任意の電流値に設定することができる。この電流値Ihは第2のクロック差動回路32を介して第2の書き込み差動回路50へ供給され、第2の書き込み差動回路50は高速に書き込み動作をすることが可能となる。

【0044】以上に述べたように、本回路は、クロック入力端子C0に立上り信号が入力したとき、データ入力端子D0、D1から入力されたデータを読み込み、クロック入力端子C1に立上り信号が入力したとき、読み込んだデータをデータ出力端子O0、O1へ出力し、出力データを更新する。

h は第2の定電流回路用基準電圧端子V_{c s s}の電圧を変化させることにより、任意の電流値に設定することができる。この電流値I_hは第1および第2のデータ保持差動回路20、60がデータを保持するために必要な電流値に設定しており、この電流値I_hは前述の書込差動回路用の電流値I_wに比べて非常に小さい値で十分である。上記のデータ保持差動回路用の電流は、第2のクロック差動回路32を介して第1および第2のデータ保持差動回路20、60へ供給され、第1および第2の書込差動回路20、60はデータの保持動作を行なうことができる。

【0040】また、第1および第2のデータ保持差動回路20、60は抵抗素子R11、R12、R13、R14および抵抗素子R1、R2、R4、R5を介してグランド電源端子GNDとそれぞれ接続され、一方、第1および第2の書込差動回路10、50は抵抗素子抵抗素子R1、R2、R4、R5を介して接続されている。この構成により、抵抗素子R1、R2、R4、R5の抵抗値をa、抵抗素子R11、R12、R13、R14の抵抗値をbとすると、 $b = \{(I_w - I_h) / I_h\} a$ の関係式を満たすように抵抗値bを設定すれば、データ保持時の信号振幅を書込時の信号振幅と等しくすることができます。この結果、第1および第2のデータ保持差動回路20、60では、消費電流を抑え、かつ安定な回路動作に必要な振幅を確保することができる。

【0041】さらに、本実施例に用いているバイポーラトランジスタの特性として、一般にコレクタ電流はベース電圧の指數関数として表わされ、比較的小さなベース電圧の変化でもコレクタ電流を大きく変化させることができる。したがって、本発明のようにデータ保持差動回路用の電流値I_hが書込差動回路用の電流値I_wより小さい場合でも、両電流値を正確かつ容易に制御することができ、所望の設計値に応じた消費電力を容易に実現することができる。

【0042】以上述べたように本実施例では、書込差動回路へは高速動作に必要な電流値I_wを、データ保持差動回路へはデータを保持するために必要な電流値I_hを供給し、電流値I_hは電流値I_wに比べて非常に小さいため、回路全体の消費電力を大幅に低減することができる。また、本実施例では入力として相補信号を用いているので、動作余裕が大きくなり、より小さな信号振幅でも高速動作が可能である。

【0043】次に、本発明による第2の実施例の半導体集積回路について図面を参照しながら説明する。図2は本発明の第2の実施例であるマスター・スレーブ型フリップ・フロップ回路の回路図である。図2において図1と同一のものには同一番号を付して以下その説明を省略する。図2において図1と異なる点は、抵抗素子R1、R12、R13、R14を除き、第1および第2の書込差動回路10、50と第1および第2のデータ保

持差動回路20、60とをそれぞれ直接接続し、電圧制限素子D11、D12、D13、D14を付与した点である。

【0044】電圧制限素子D11は中間端子M1とグランド端子GNDとの間に、電圧制限素子D12は中間端子M0とグランド端子GNDとの間に接続される。また、電圧制限端子D13、D14も同様にデータ出力端子O1、O0とグランド端子GNDとの間にそれぞれ接続される。電圧制限素子D11、D12、D13、D14は、電圧を制限することにより、書込時の振幅をデータ保持時の振幅と等しくするように設定している。

【0045】上記以外の各回路の動作および各回路への電流供給は図1と同様である。したがって、本実施例でも、書込差動回路へは高速動作に必要な電流値I_wを、データ保持差動回路へはデータ保持に必要な電流値I_hを供給し、電流値I_hは電流値I_wに比べて非常に小さいため、回路全体の消費電力を大幅に低減することができる。また電圧制限素子により書込時の振幅をデータ保持時の振幅と等しくしているので、消費電流を抑え、かつ、安定な回路動作に必要な振幅を確保することができる。

【0046】以下、本発明による第3の実施例の半導体集積回路について図面を参照しながら説明する。図3は本発明の第3の実施例であるマスター・スレーブ型フリップ・フロップ回路の回路図である。

【0047】本回路は、GaAsあるいは他のIII-V族、II-VI族化合物半導体などのショットキーゲート電界効果トランジスタ(Metal-Semiconductor Field Effect Transistor、以下電界効果トランジスタと称す)等から構成されるソース結合型論理回路(Source Coupled Fet Logic)を用いたものである。

【0048】本回路は、マスターフリップ・フロップ回路となるマスター部100、マスター部100の動作に応じて動作するスレーブフリップ・フロップ回路となるスレーブ部200を含む。マスター部100は、第1の書込差動回路10、第1のデータ保持差動回路20、第1のクロック差動回路31の一部、第2のクロック差動回路32の一部、第1の定電流回路41を含む。また、スレーブ部200は、第2の書込差動回路50、第2のデータ保持差動回路60、第1のクロック差動回路31の一部、第2のクロック差動回路32の一部、第2の定電流回路42を含む。

【0049】第1の書込差動回路10は電界効果トランジスタF1、F2を含む。電界効果トランジスタF1、F2のゲートは任意のデータが入力されるデータ入力端子D1、所定の基準電圧が入力される第1の差動回路用基準電圧端子V_{g g 1}とそれぞれ接続される。電界効果トランジスタF1、F2のソースは共通接続され、第1

のクロック差動回路31と接続される。電界効果トランジスタF1、F2のドレインは抵抗素子R1、R2を介してグランド電源端子GNDと接続される。また、各ドレインは抵抗素子R11、R12を介して第1のデータ保持差動回路20と接続される。上記構成により、第1の書き差動回路10は第1のクロック差動回路31に応じて、データ入力端子D1から入力されたデータおよびそのデータの反転データが抵抗素子R11、R12を介して第1のデータ保持差動回路20へ出力する。

【0050】第1のデータ保持差動回路20は電界効果トランジスタF3、F4を含む。電界効果トランジスタF3のゲートは電界効果トランジスタF4のドレインと、電界効果トランジスタF4のゲートは電界効果トランジスタF3のドレインとそれぞれ接続され、入力と出力が交差接続されるたすき掛け構造となっている。電界効果トランジスタF3、F4のソースは共通接続され、第2のクロック差動回路32と接続される。電界効果トランジスタF3、F4のドレインは抵抗素子R1、R2および抵抗素子R11、R12を介してグランド電源端子GNDと接続され、また、中間端子M1、M0と接続される。上記構成により、第1のデータ保持差動回路20は抵抗素子R11、R12を介して入力されたデータを、第1のデータクロック差動回路32の動作に応じて保持し、中間端子M1、M0へ出力する。

【0051】第2の書き差動回路50は、電界効果トランジスタF8、F9を含む。本回路のデータ入力は1つのデータおよび1つの基準電圧を入力しているため、電界効果トランジスタF8、F9のゲートは所定の基準電圧が入力される第1の差動回路用基準電圧端子Vgg1、中間端子M0とそれぞれ接続される。電界効果トランジスタF8、F9のソースは共通接続され、第1のクロック差動回路31と接続される。電界効果トランジスタF8、F9のドレインは抵抗素子R4、R5を介して、グランド電源端子GNDと接続される。また、各ドレインは抵抗素子R13、R14を介して第2のデータ保持差動回路60と接続される。上記構成により、第2の書き差動回路50は第1のクロック差動回路31に応じて、中間端子M0から入力されたデータおよびそのデータの反転データが抵抗素子R13、R14を介して第2のデータ保持差動回路60へ出力する。

【0052】第2のデータ保持差動回路60は電界効果トランジスタF10、F11を含む。電界効果トランジスタF10のゲートは電界効果トランジスタF11のドレインと、電界効果トランジスタF11のゲートは電界効果トランジスタF10のドレインとそれぞれ接続され、入力と出力が交差接続されるたすき掛け構造となっている。電界効果トランジスタF10、F11のソースは共通接続され、第2のクロック差動回路32と接続される。電界効果トランジスタF10、F11のドレインは抵抗素子R4、R5および抵抗素子R13、R14を

介してグランド電源端子GNDと接続され、また、データ出力端子O1、O0とそれぞれ接続される。上記構成により、第2のデータ保持差動回路60は、抵抗素子R13、R14を介して第2の書き差動回路50から入力されたデータを、第2のクロック差動回路32の動作に応じて保持し、データ出力端子O0、O1へ出力する。

【0053】第1のクロック差動回路31は電界効果トランジスタF5、F12を含む。電界効果トランジスタF5のゲートは所定の電圧が入力される第2の差動回路用基準電圧端子Vgg2と、ドレインは第1の書き差動回路10のソースの共通接続部と接続される。電界効果トランジスタF12のゲートは所定のクロック信号が入力されるクロック入力端子C1と、ドレインは第2の書き差動回路50のソースの共通接続部と接続される。電界効果トランジスタF5、F12のソースは共通接続され、第1の定電流回路41と接続される。上記構成により、第1のクロック差動回路31の電界効果トランジスタF5が第1の書き差動回路10の動作を、電界効果トランジスタF12が第2の書き差動回路50の動作をそれぞれ制御する。

【0054】第2のクロック差動回路32は電界効果トランジスタF6、F13を含む。電界効果トランジスタF6のゲートはクロック入力端子C1と、ドレインは第1のデータ保持差動回路20のソースの共通接続部と接続される。電界効果トランジスタF13のゲートは第2の差動回路用基準電圧端子Vgg2と、ドレインは第2のデータ保持差動回路60のソースの共通接続部と接続される。電界効果トランジスタF6、F13のソースは共通接続され、第2の定電流回路42と接続される。上記構成により、第2のクロック差動回路32の電界効果トランジスタF6が第1のデータ保持差動回路20の動作を、電界効果トランジスタF13が第2のデータ保持差動回路60の動作をそれぞれ制御する。

【0055】第1の定電流回路41は電界効果トランジスタF17、抵抗素子R9を含む。電界効果トランジスタF17のドレインは第1のクロック差動回路31のソースの共通接続部と接続される。電界効果トランジスタF17のソースは抵抗素子9を介して負電源端子Veeと、ベースは第1の定電流回路用基準電圧端子Vcsと接続される。上記構成により、第1の定電流回路41は第1の定電流回路用基準電圧端子Vcsを所定の電圧に設定することにより、書き用電流値Iwを第1のクロック差動回路31を介して第1の書き差動回路10および第2の書き差動回路50へ供給する。

【0056】第2の定電流回路42は電界効果トランジスタF18、抵抗素子R10を含む。電界効果トランジスタF18のドレインは第2のクロック差動回路32のソースの共通接続部と接続される。電界効果トランジスタF18のソースは抵抗素子R10を介して負電源端子Vssと、ベースは第2の定電流回路用基準電圧端子V

c s s と接続される。上記構成により、第2の定電流回路42は第2の定電流回路用基準電圧端子V c s s を所定の電圧に設定することにより、保持用電流値I hを第2のクロック差動回路32を介して第1のデータ保持差動回路20および第2のデータ保持差動回路60へ供給する。

【0057】次に、上記のように構成されたマスター・スレーブ型フリップ・フロップ回路の動作について説明する。本回路は入力として、一方にデータまたはクロックを入力し、他方に基準電圧を入力して動作させるものである。

【0058】まず、クロック入力端子C1にクロック信号として立下り信号が入力されると、電界効果トランジスタF6、F12はオンからオフへ変化し、一方、電界効果トランジスタF5、F13のベースには所定の基準電圧が入力されているのでオフからオンへ変化する。この結果、マスター部100では、第1の書き込み差動回路10が動作し、データ入力端子D1から入力されたデータおよびその反転データを書き込み、出力端子M1、M0のデータを更新する。このとき、第1のデータ保持差動回路20は動作していない。一方、スレーブ部200では、第1の書き込み差動回路50は動作せず、中間端子M0のデータはスレーブ部200へ書き込まれない。しかし、第2のデータ保持差動回路60は動作し、直前に第2の書き込み差動回路50が書き込んだデータを保持し、データ出力端子O0、O1へ出力する。

【0059】次に、クロック入力端子C1にクロック信号として立上り信号が入力されると、電界効果トランジスタF5、F13はオンからオフへ変化し、一方、電界効果トランジスタF6、F12のベースへは所定の基準電圧が入力されているのでオフからオンへ変化する。この結果、マスター部100では、第1の書き込み差動回路10は動作せず、データ入力端子D1から入力されているデータは書き込まれない。しかし、第1のデータ保持差動回路20が動作し、前記のようにクロック端子C1に立下り信号が入力されたとき第1の書き込み差動回路10が書き込んだデータを保持し、中間端子M0へ出力する。一方、スレーブ部200では、第2の書き込み差動回路50が動作し、中間端子M0のデータおよびその反転データを書き込み、データ出力端子O0、O1のデータを更新する。このとき、第2のデータ保持差動回路60は動作していない。

【0060】以上に述べたように、本回路は、クロック入力端子C1に立下り信号が入力したとき、データ入力端子D1から入力されたデータを読み込み、立上り信号が入力したとき読み込んだデータおよびその反転データをデータ出力端子O0、O1へ出力し、出力データを更新する。

【0061】次に、各回路に流れる電流について説明する。本実施例でも、第1の実施例と同様に構成されてお

り、書き込み電流値I wは高速書き込に十分な電流値を、保持用電流値I hはデータ保持に十分であり、かつ、I wに比べて十分に小さい値を設定している。また、抵抗素子R1、R2、R3、R5の抵抗値をa、抵抗素子R11、R12、R13、R14の抵抗値をbとすると、 $b = \{(I_w - I_h) / I_h\} a$ の関係式を満たすよう抵抗値bを設定しており、データ保持時の振幅と書き込時の振幅を等しくしている。この結果、回路全体の消費電力を大幅に低減するとともに、第1および第2のデータ保持差動回路20、60の安定な回路動作に必要な振幅を確保することができる。

【0062】また、本実施例ではショットキーゲート電界効果トランジスタを用いたソース結合型論理回路により構成されているので、本実施例のように多段型の回路構成を用いた場合でも飽和動作することがないため、特に、低電圧電源で高速動作が可能となる。さらに、マイクロストリップ線路等の他の高速受動素子を容易に形成することができる。また、入力として、一方に基準電圧、他方にデータまたはクロックを入力しているので単層入力でよいため、他の論理回路と容易に接続することができる。

【0063】本実施例はショットキーゲート電界効果トランジスタを用いたソース結合型論理回路による構成に限定されるものではなく、第1の実施例のようにバイポーラトランジスタを用いたエミッタ結合型論理回路で構成しても同様の効果を得ることができる。

【0064】次に、本発明による第4の実施例の半導体集積回路について図面を参考しながら説明する。図4は本発明の第4の実施例のマスター・スレーブ型フリップ・フロップ回路の回路図である。図4において図1と同一のものには同一番号を付して以下その説明を省略する。図4において図1と異なる点は、第2のクロック差動回路32を除き、第3および第4の定電流回路90、91を第1および第2のデータ保持差動回路20、60とそれぞれ接続した点と、抵抗素子R11、R12、R13、R14を除き、第1および第2の書き込み差動回路10、50を第1および第2のデータ保持差動回路とそれぞれ直接接続した点である。

【0065】第3の定電流回路90はトランジスタQ15、抵抗素子R7を含む。トランジスタQ15のコレクタは第1のデータ保持差動回路20のエミッタの共通接続部と、ベースは第2の定電流回路用基準電圧端子V c s s と、エミッタは抵抗素子R7を介して負電源端子V e e とそれぞれ接続される。上記構成により、第3の定電流回路90は、第2の定電流回路用基準電圧端子V c s s の電圧を所定の電圧に設定することにより、第1のデータ保持差動回路20へデータ保持用電流値I hを常時供給する。

【0066】第4の定電流回路91はトランジスタQ16、抵抗素子R8を含む。トランジスタQ16のコレク

タは第2のデータ保持差動回路60のエミッタ共通接続部と、ベースは第2の定電流回路用基準電圧端子V_{c ss}と、エミッタは抵抗素子R8を介して負電源端子V_{e e}とそれぞれ接続される。上記構成により、第4の定電流回路91は、第2の定電流回路用基準電圧端子V_{c ss}の電圧を所定の電圧に設定することにより、第2のデータ保持差動回路60へデータ保持用電流値I_hを常時供給する。本回路の動作は、第1および第2のデータ保持差動回路20、60が常に動作する点を除き、実施例1と同様であり、クロック入力端子C0に立上り信号が入力したとき、データ入力端子D0、D1から入力されたデータを読み込む。データ入力端子C1に立上り信号が入力したとき、読み込んだデータをデータ出力端子O0、O1へ出力し、出力データを更新する。

【0067】次に、各回路に流れる電流について説明する。前述したように、第1の定電流回路41には高速書込に十分な電流値I_wが、第3および第4の定電流回路90、91にはデータ保持に必要な電流値I_hが流れる。したがって、回路全体に流れる電流値はI_w+2I_hとなるがI_hはI_wに比べて十分に小さく、少なくともI_wの2分の1以下となるので、高速動作を保ちながら、回路全体の消費電力を低減することができる。

【0068】また、本実施例では、データ保持時の電流値I_hが小さいのでデータ保持時の振幅が小さくなり、より高速に動作させることができる。

【0069】さらに、本実施例では、1つのトランジスタに対して1つのクロック入力を対応させているため、クロック入力部の入力容量が従来の2分の1となり、さらに高速な書込動作を実現することができる。

【0070】さらに、本実施例では、第1および第2のデータ保持差動回路20、60に対して各々第3および第4の定電流回路90、91を対応させているため、抵抗素子R7、R8の抵抗値を変えることにより第1および第2のデータ保持差動回路20、60の駆動能力に変えることができ、次段に接続される回路を駆動するのに必要な駆動能力を容易に設定することができる。

【0071】次に、本発明による第5の実施例の半導体集積回路について図面を参照しながら説明する。図5は本発明の第5の実施例のマスター・スレーブ型フリップ・フロップ回路の回路図である。図5において図3と同一のものには同一番号を付して以下その説明を省略する。図5において図3と異なる点は、第2のクロック差動回路32を除去し、第3および第4の定電流回路90、91を第1および第2のデータ保持差動回路20、60とそれ直接接続した点である。

【0072】第3の定電流回路90は電界効果トランジスタF15、抵抗素子R7を含む。電界効果トランジスタF15のドレインは第1のデータ保持差動回路20のソースの共通接続部と、ベースは第2の定電流回路用基準電圧端子V_{c ss}と、ソースは抵抗素子R7を介して

負電源端子V_{s s}とそれぞれ接続される。上記構成により、第3の定電流回路91は、第2の定電流回路用基準電圧端子V_{c ss}の電圧を所定の電圧に設定することにより、第1のデータ保持差動回路20へデータ保持用電流値I_hを常時供給する。

【0073】第4の定電流回路91は電界効果トランジスタF16、抵抗素子R8を含む。電界効果トランジスタF16のドレインは第2のデータ保持差動回路60のソースの共通接続部と、ベースは第2の定電流回路用基準電圧端子V_{c ss}と、ソースは抵抗素子R8を介して負電源端子V_{s s}とそれぞれ接続される。上記構成により、第4の定電流回路91は、第2の定電流回路用基準電圧端子V_{c ss}の電圧を所定の電圧に設定することにより、第2のデータ保持差動回路60へデータ保持用電流値I_hを常時供給する。

【0074】本回路の動作は、第1および第2のデータ保持差動回路20、60が既に動作する点を除き、実施例3と同様であり、クロック入力端子C1に立下り信号が入力したとき、データ入力端子D1から入力されたデータを読み込む。また、立上り信号が入力したとき、読み込んだデータをおよびその反転データをデータ出力端子O0、O1へ出力し、出力データを更新する。

【0075】次に、各回路に流れる電流について説明する。前述したように、第1の定電流回路41には高速書込に十分な電流値I_wが、第3および第4の定電流回路90、91にはデータ保持に必要な電流値I_hが流れる。したがって、回路全体に流れる電流値はI_w+2I_hとなるがI_hはI_wに比べて十分に小さいので、高速動作を保ちながら、回路全体の消費電力を低減することができる。

【0076】また、本実施例では抵抗素子R11、R12、R13、R14により、データ保持時の振幅を書込時の振幅と等しくしているので、第1および第2のデータ保持差動回路20、60では、消費電流を抑え、かつ、安定な回路動作に必要な振幅を確保することができる。

【0077】さらに、本実施例では、1つの電界効果トランジスタに対して1つのクロック入力を対応させているため、クロック入力部の入力容量が従来の2分の1となり、さらに高速な書込動作を実現することができる。

【0078】さらに、本実施例では、第1および第2のデータ保持差動回路20、60に対して各々第3および第4の定電流回路90、91を対応させているため、抵抗素子R7、R8の抵抗値を変えることにより、第1および第2のデータ保持差動回路20、60の駆動能力を変えることができ、次段に接続される回路を駆動するのに必要な駆動能力を容易に設定することができる。

【0079】

【発明の効果】本発明による半導体集積回路において50は、書込手段用の第1電流供給手段と、保持手段用の第

2電流供給手段とを各々別々に有しているので、書き込み手段および保持手段が必要とする電流を別々に供給することができ、無駄な電流を供給することができないので、高速動作をたまちながら、回路全体の低消費電力化を実現することができる。

【図面の簡単な説明】

【図1】本発明による第1の実施例のマスター・スレーブ型フリップ・フロップ回路の回路図である。

【図2】本発明による第2の実施例のマスター・スレーブ型フリップ・フロップ回路の回路図である。

【図3】本発明による第3の実施例のマスター・スレーブ型フリップ・フロップ回路の回路図である。

【図4】本発明による第4の実施例のマスター・スレーブ型フリップ・フロップ回路の回路図である。

【図5】本発明による第5の実施例のマスター・スレーブ型フリップ・フロップ回路の回路図である。

【図6】従来のマスター・スレーブ型フリップ・フロップ回路の回路図である。

【符号の説明】

10 第1の書き込み差動回路

20 第1のデータ保持差動回路

31 第1のクロック差動回路

32 第2のクロック差動回路

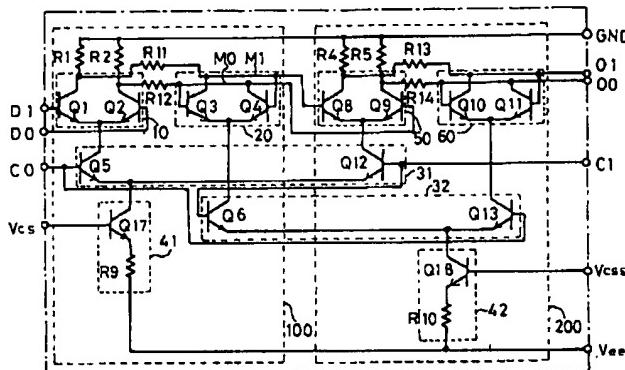
10 41 第1の定電流回路

42 第2の定電流回路

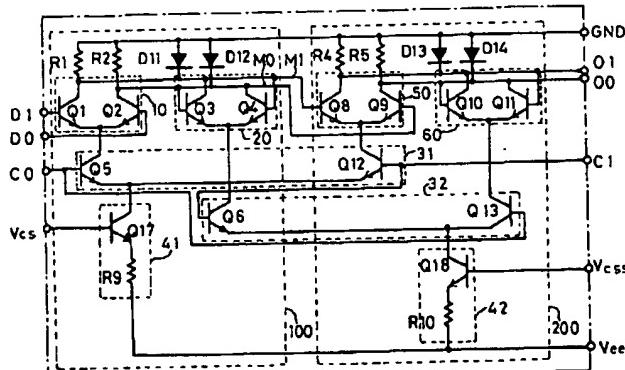
50 第2の書き込み差動回路

60 第2のデータ保持差動回路

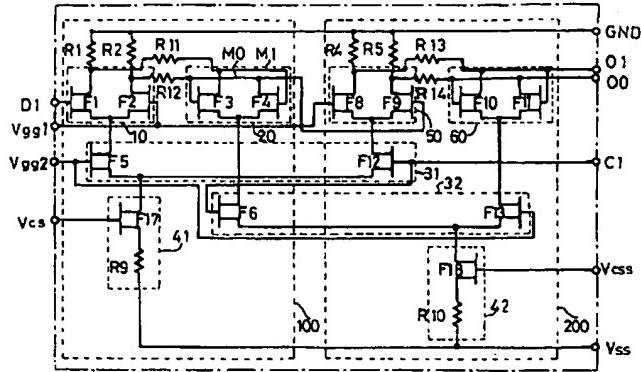
【図1】



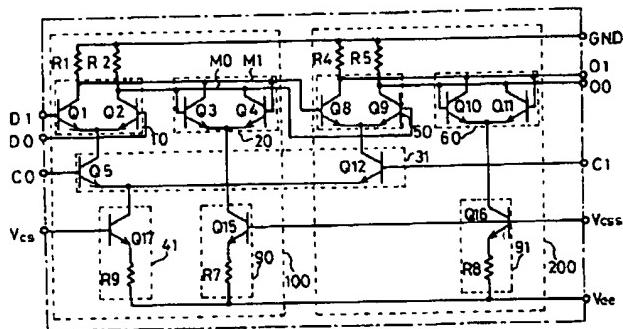
【図2】



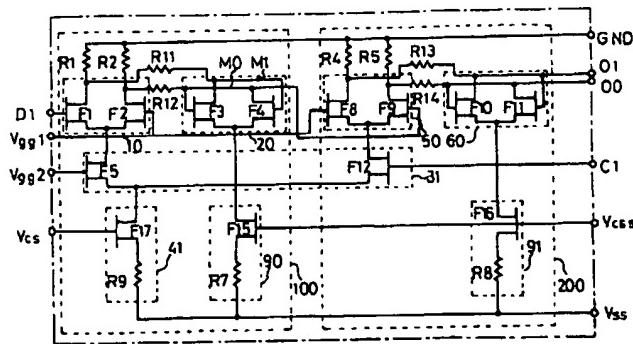
[図3]



[図4]



[図5]



【図6】

